

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-007156

(43)Date of publication of application : 12.01.2001

(51)Int.Cl.

H01L 21/60
H05K 3/32

(21)Application number : 11-177230

(71)Applicant : SONY CHEM CORP

(22)Date of filing : 23.06.1999

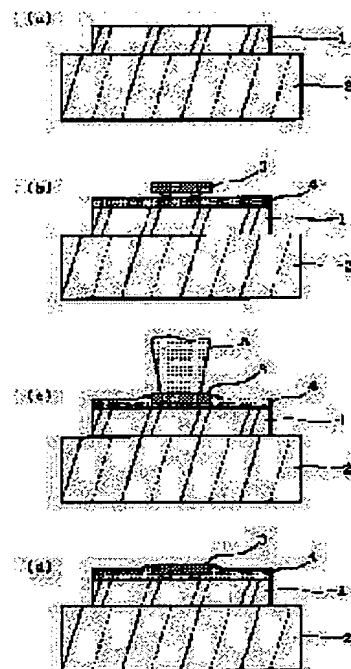
(72)Inventor : TAKECHI MOTOHIDE
YAMADA YUKIO

(54) METHOD OF MOUNTING ELECTRONIC ELEMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To reconcile the enough check of electric continuity and the repair of an electronic element, when joining the electronic element such as an IC chip or the like to the wiring pattern of a wiring board (for example, a wiring board for a multichip module), using thermosetting adhesive material such as an anisotropic conductive adhesive film or the like.

SOLUTION: In a method of mounting an electronic element which includes arranging thermosetting adhesive material 4 between a wiring board 1 arranged on a stage 2 and an electronic element 3 to be connected with the wiring pattern of the wiring board 1, and joining the electronic element 3 to the wiring board 3 by heating and pressurizing it from the side of the electronic element 3, the electronic element 3 is temporarily pressure-bonded to the wiring board 1 so that the reactivity of the thermosetting on wiring board 1 side of the thermosetting adhesive material 4 may be lower than the reactivity of the thermosetting on the side of the electronic element 3. Then, the thermosetting adhesive material 4 is hardened regularly whereby joining the electronic element 3 to the wiring board 1.



LEGAL STATUS

[Date of request for examination] 14.02.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3402267

[Date of registration] 28.02.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-7156

(P 2 0 0 1 - 7 1 5 6 A)

(43) 公開日 平成13年1月12日 (2001.1.12)

(51) Int. Cl. ⁷	識別記号	F I	テマコード (参考)
H01L 21/60	311	H01L 21/60	311 S 5E319
H05K 3/32		H05K 3/32	B 5F044

審査請求 未請求 請求項の数 6 O L (全 5 頁)

(21) 出願番号 特願平11-177230

(22) 出願日 平成11年6月23日 (1999.6.23)

(71) 出願人 000108410

ソニーケミカル株式会社

東京都中央区日本橋室町1丁目6番3号

(72) 発明者 武市 元秀

栃木県鹿沼市さつき町12-3 ソニーケミカル株式会社内

(72) 発明者 山田 幸男

栃木県鹿沼市さつき町12-3 ソニーケミカル株式会社内

(74) 代理人 100095588

弁理士 田治米 登 (外1名)

Fターム(参考) 5E319 AA03 AB05 BB16 CC61 CD15

CD51 CD57

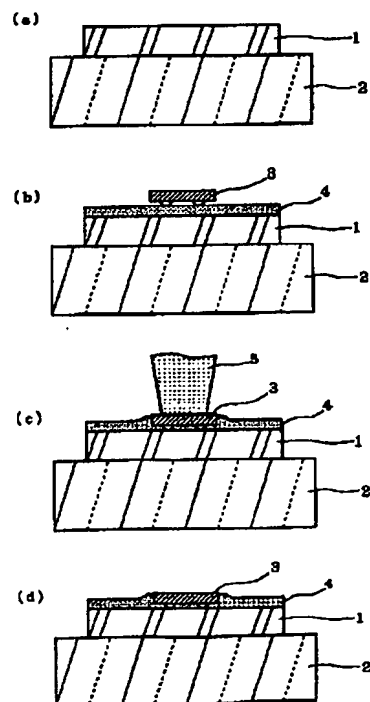
5F044 LL09 LL11 PP15 PP19

(54) 【発明の名称】 電子素子の実装方法

(57) 【要約】

【課題】 配線板（例えば、マルチチップモジュール用配線板）の配線パターンに、ICチップ等の電子素子を異方性導電接着フィルム等の熱硬化性接着材料を用いて接合する際に、十分な導通確認と電子素子のリペアとを両立できるようにする。

【解決手段】 ステージ2上に配された配線板1と、配線板1の配線パターンに接続させるべき電子素子3との間に熱硬化性接着材料4を配し、電子素子3側から加熱加圧することにより電子素子3を配線板1に接合することを含む電子素子の実装方法において、熱硬化性接着材料4の配線板1側の熱硬化反応率を電子素子側3側の熱硬化反応率よりも低くするように電子素子3を配線板1に仮熱圧着する。その後に熱硬化性接着材料4を本硬化させることにより電子素子3を配線板1に接合する。



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項1】 ステージ上に配された配線板と、該配線板の配線パターンに接続させるべき電子素子との間に熱硬化性接着材料を配し、電子素子側から加熱加圧することにより電子素子を配線板に接合することを含む電子素子の実装方法において、熱硬化性接着材料の配線板側の熱硬化反応率が電子素子側の熱硬化反応率よりも低くなるように電子素子を配線板に仮熱圧着し、その後に熱硬化性接着材料を本硬化させることにより電子素子を配線板に接合することを特徴とする電子素子の実装方法。

【請求項2】 ステージを冷却しながら電子素子を配線板に仮熱圧着する請求項1記載の電子素子の実装方法。

【請求項3】 仮熱圧着の際、熱硬化性接着材料の配線板側の熱硬化反応率が10～50％である請求項1又は2記載の電子素子の実装方法。

【請求項4】 仮熱圧着の際、熱硬化性接着材料の電子素子側の熱硬化反応率が配線板側の熱硬化反応率よりも20％以上高い請求項1～3のいずれかに記載の電子素子の実装方法。

【請求項5】 電子素子がICチップである請求項1～4のいずれかに記載の電子素子の実装方法。

【請求項6】 請求項5記載の実装方法により、配線板にICチップを実装することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、配線板（例えば、マルチチップモジュール用配線板）の配線パターンに、ICチップ等の電子素子を、異方性導電接着フィルム等の熱硬化性接着材料を用いて接合する電子素子の実装方法に関する。

【0002】

【従来の技術】近年、電子製品の軽薄短小化と高機能化に伴い、電子製品に使用する各種電子素子（コンデンサ素子、抵抗素子、ICチップ等）の配線板の実装エリアが非常に小さくなっている。このため、電子素子を配線板に接続するために、電子素子の接続端子と配線板の配線パターンとを、熱硬化性接着材料（例えば、異方性導電接着剤、異方性導電接着フィルム、絶縁性接着剤、絶縁性接着フィルム）を介して熱圧着することが行われている。例えば、ICチップの場合、その外形寸法にほぼ等しい大きさのインターポーザと呼ばれる中継配線板にベアチップの状態のICチップを熱硬化性接着材料でフリップチップ実装したり、マルチチップモジュール用配線板に複数のICチップを熱硬化性接着材料でフリップチップ実装したりすることが行われている。

【0003】ここで、このようなフリップチップ実装は、中継配線板又はマルチチップモジュール用配線板をステージ上に配し、その上に熱硬化性接着材料を適用し、更にICチップを位置合わせし、ICチップをヒー

トツールで中継配線板又はマルチチップモジュール用配線板に熱圧着することにより行われている。

【0004】ところで、ICチップが良品であるか不良品であるかをチェックする場合、ICチップの配線パターンピッチが非常に狭くなっているため、実装前のベアチップ状態のICチップ自体を検査することが困難になっている。そのため、ICチップを中継配線板やマルチチップモジュール用配線板にフリップチップ実装した後に、配線板を経由してICチップの導通確認を行うことによりICチップの良品・不良品をチェックしている。

【0005】このチェックによりICチップが不良品であると判断された場合には、不良ICチップが実装された中継配線板やマルチチップモジュール用配線板ごと廃棄することは製造コストを押し上げることになるので、不良ICチップをリペアすることが必要になる。このため、フリップチップ実装時に熱硬化性接着材料全体の反応率を下げ、比較的低い剪断力でICチップを引き剥がせるようにすることが試みられている。

【0006】

【発明が解決しようとする課題】しかしながら、比較的低い剪断力でベアICチップを引き剥がせる程度に、フリップチップ実装時の熱硬化性接着材料全体の反応率を下げてしまうと、熱硬化性接着材料の凝集力が小さく、導通確認が十分に取れないという問題があった。

【0007】逆に、導通確認が取れる程度に熱硬化性接着材料全体の反応率を上げて熱硬化性接着材料の凝集力を大きくしてしまうと、ICチップのリペアが困難となる。

【0008】本発明は、以上の従来の技術の課題を解決しようとするものであり、配線板（例えば、マルチチップモジュール用配線板）の配線パターンに、ICチップ等の電子素子を異方性導電接着フィルム等の熱硬化性接着材料を用いて接合する際に、十分な導通確認と電子素子のリペアとを両立できる電子素子の実装方法を提供することを目的とする。

【0009】

【課題を解決するための手段】本発明者らは、電子素子を配線板に熱硬化性接着材料を介して熱圧着する際に、熱硬化性接着材料の配線板側の熱硬化反応率が電子素子側の熱硬化反応率よりも低くなるように電子素子を配線板に仮熱圧着すると、(i)配線板と熱硬化性接着材料との間の界面における熱硬化性接着材料の凝集力が相対的に小さくなり、比較的小さな剪断力で電子素子を配線板から引き剥がせるので、電子素子のリペアが可能になること、(ii)一方、電子素子と熱硬化性接着材料との間の界面における熱硬化性接着材料の凝集力が相対的に大きくなるので、導通確認が可能になること、(iii)導通確認後に熱硬化性接着材料を本硬化させれば電子素子を確実に配線板に実装できることを見出し、本発明を完成させるに至った。

【0010】即ち、本発明は、ステージ上に配された配線板と、該配線板の配線パターンに接続させるべき電子素子との間に熱硬化性接着材料を配し、電子素子側から加熱加圧することにより電子素子を配線板に接合することを含む電子素子の実装方法において、熱硬化性接着材料の配線板側の熱硬化反応率が電子素子側の熱硬化反応率よりも低くなるように電子素子を配線板に仮熱圧着し、その後に熱硬化性接着材料を本硬化させることにより電子素子を配線板に接合することを特徴とする電子素子の実装方法を提供する。

【0011】

【発明の実施の形態】以下、本発明の「電子素子の実装方法」の一実施態様について図面を参照しながら具体的に説明する。

【0012】まず、配線パターン（図示せず）が表面に形成された配線板1をステージ2上に配する（図1

(a)）。

【0013】ここで、配線板1としては、TAB用配線板、フレキシブル配線板、CSP用配線板、マルチチップモジュール用配線板等の種々の電子部品搭載用配線板を使用することができる。

【0014】次に、配線板1とその配線パターン（図示せず）に接続させるべき電子素子3との間に熱硬化性接着材料4を配する（図1(b)）。

【0015】ここで、電子素子3としては、ベアICチップ、コンデンサ素子、抵抗素子等を挙げることができる。

【0016】熱硬化性接着材料4としては、ペースト状の異方性導電接着剤、異方性導電接着フィルム、ペースト状又は液状の絶縁性接着剤、絶縁性接着フィルム等を挙げることができる。

【0017】次に、ヒートボンダー等の公知の加熱加圧装置5を用いて、熱硬化性接着材料4の配線板1側の熱硬化反応率が電子素子3側の熱硬化反応率よりも低くなるように電子素子3を配線板1に仮熱圧着する（図1

(c)）。より具体的には、仮熱圧着の際、熱硬化性接着材料4の配線板1側の熱硬化反応率は、好ましくは10～50%、より好ましくは25～40%とし、熱硬化性接着材料4の電子素子3側の熱硬化反応率を、配線板1側の熱硬化反応率よりも好ましくは20%以上、より好ましくは30～50%高くする。これにより、配線板1と熱硬化性接着材料4との間の界面における熱硬化性接着材料4の凝集力を相対的に小さくすることができ、比較的小さな剪断力で電子素子3を配線板1から引き剥がすことができる。この結果、電子素子3のリペアが可能になる。

【0018】一方、電子素子3と熱硬化性接着材料4との間の界面における熱硬化性接着材料4の凝集力を相対的に大きくすることができ、電子素子3が仮熱圧着された状態で、配線板1を経由して電子素子3の良品・

不良品のチェックのための導通確認が可能になる。

【0019】本発明において、熱硬化性接着材料4の配線板1側の熱硬化反応率が電子素子3側の熱硬化反応率よりも低くなるように電子素子3を配線板1に仮熱圧着する手法としては、例えば、ステージ2を公知の冷却手段（例えば、圧縮エアガン、水冷パイプ）で冷却（好ましくは10℃以下）しながら電子素子3を配線板1に仮熱圧着する方法が挙げられる。あるいは、熱硬化性接着材料4を複層化し、電子素子3により近い層の熱硬化反応率がより高くなるように、配合組成を調整（例えば、重合開始剤濃度を高める等）してもよい。

【0020】その後、熱硬化性接着材料4を本硬化させることにより電子素子3を確実に配線板1に接合し、電子素子3の配線板1への実装が完了する（図1

(d)）。

【0021】なお、熱硬化性接着材料4の本硬化は、仮熱圧着と同様な操作により行うことができる。あるいは、加熱炉の中でバッチ処理によりアフターキュアリングさせてもよい。

【0022】

【実施例】以下、本発明を実施例により具体的に説明する。

【0023】実施例1～4並びに比較例1及び2

ステンレススチール製の熱圧着用ステージを市販の圧縮エアガンにて0℃（実施例1～4）又は23℃（比較例1及び2）に保ちながら、そのステージ上にガラスエポキシ配線板GP（難燃性レベル＝FR5）又はアルミナ系セラミックス配線板ACを載せ、それらの配線板の配線パターン上に熱硬化性エポキシタイプの異方性導電接着フィルムA（FP10425、ソニーケミカル社製）又は異方性導電接着フィルムB（FP20626、ソニーケミカル社製）を載せ、その上に6.3mm角のベアICチップ（Auメッキバンプピッチ＝100μm）を位置合わせして載せた。

【0024】次に、ベアICチップをヒートツールで加熱加圧（160℃、10秒）して配線板に仮熱圧着した。

【0025】仮熱圧着の際の配線板側の異方性導電接着フィルムの熱硬化反応率及びICチップ側の異方性導電接着フィルムの熱硬化反応率、更には4端子法による導通抵抗（mΩ）を調べた。表1にその結果を示す。なお、熱硬化反応率は、FT-IRによりエポキシ基及びメチル基の吸収を、未反応の異方性導電接着フィルムのエポキシ基及びメチル基の吸収と比較することにより求めた。熱硬化反応率の測定用サンプルは、仮熱圧着した配線板／異方性導電接着フィルム／ICチップの積層体を冷却しながら配線板側及びICチップ側のそれぞれの方向から研磨し、異方性導電接着フィルムの界面を露出させたものを使用した。

【0026】次に、ICチップが仮熱圧着された配線板

を100℃のホットプレートで加熱し、ICチップに剪断力を加えて剥離した。剥離した時の剪断力(kgf)を表1に示す。

【0027】次に、配線板に残存する異方性導電接着フィルムをアセトンで除去した後に、再度リペア用ベアICチップを配線板に仮熱圧着し、4端子法による導通抵抗(mΩ)を調べた。表1にその結果を示す。

【0028】最後に、仮熱圧着した配線板/異方性導電接着フィルム/リペア用ベアICチップの積層体を、1

30℃の熱風循環式オープン中でアフターキュアリングして異方性導電接着フィルムを本硬化させ、それによりICチップを確実に配線板に実装した。得られたICチップ実装配線板に対して、85℃で85%RHの環境下に1000hr放置するという信頼性テストを行った後に、導通抵抗(mΩ)を測定した。表1にその結果を示す。

【0029】

【表1】

	実施例				比較例	
	1	2	3	4	1	2
使用した異方性導電接着フィルム	A	A	B	B	A	B
使用した配線板	AC	GP	AC	GP	AC	AC
ステージ温度(℃)	0	0	0	0	23	23
異方性導電接着フィルムの熱硬化反応率						
配線板側(%)	24	34	28	33	85	88
ICチップ側(%)	85	86	76	86	90	90
仮熱圧着の際の導通抵抗(mΩ)	6	5	6	6	6	5
リペア時の剪断力(kgf)	6.5	8.2	5.9	7.4	23'	31''
リペア後の導通抵抗(mΩ)	6	6	5	5	6	6
信頼性テスト後の導通抵抗(mΩ)	8	8	5	7	10	7

表1注(*1: ICチップが破壊されたことを示す)

【0030】表1からわかるように、ステージを0℃に冷却して配線板側の異方性導電接着フィルムの熱硬化反応率をICチップ側より低くすると、異方性導電接着フィルム全体の熱硬化反応率を85%以上にした比較例に比べ、ICチップのリペア時の剪断力を、小さくすることができる。しかも、仮熱圧着時の導通抵抗を比較例の場合と同等程度に調整することができる。

【0031】

【発明の効果】本発明の実装方法によれば、電子素子を配線板へ実装する際に、十分な導通確認と電子素子のリ

ペアとを両立できる。従って、本発明の実装方法を利用してICチップを配線板に実装することにより、導通確認とICチップのリペアとが両立した半導体装置の製造方法を実現できる。

【図面の簡単な説明】

【図1】本発明の「電子素子の実装方法」の説明図である。

【符号の説明】

1…配線板、2…ステージ、3…電子素子、4…熱硬化性接着材料、5…加熱加圧装置

【図1】

